

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-290555

(43)Date of publication of application : 20.12.1986

(51)Int.Cl.

G06F 12/12

(21)Application number : 60-133432

(71)Applicant : TOSHIBA CORP
TOSHIBA COMPUT ENG CORP

(22)Date of filing : 19.06.1985

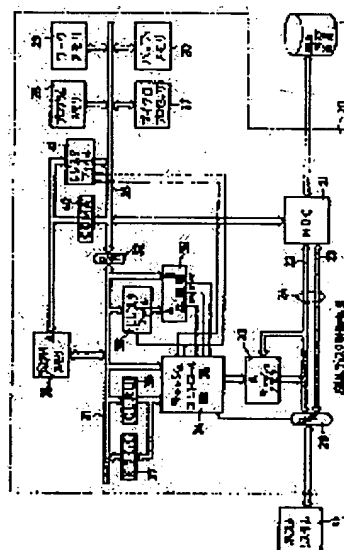
(72)Inventor : KANAMARU KOICHI
INOUE JUNICHI

(54) CACHE SYSTEM

(57)Abstract:

PURPOSE: To obtain a cache system which can control a degree of residence in a cache memory of the data block concerned, by constituting it so that an LRU set value which is applied to initialization or reregistration of an LRU value becomes variable.

CONSTITUTION: In case of initializing or reregistering an LRU value, a microprocessor 27 refers to read/write commands from a host system 11 of a buffer memory 30, and decides whether CC2 of its cache control bits CC2WCC0 is '0' or not. In case when the CC2 is '0', a prescribed value is generated by shifting an LRU set value, supplied to a memory 35 through a bus 26, a driver receiver D/R 32, and a bus 31, and registered in an LRU counter field of an entry. In case of a directory searching, in the next time, this LR value is used, and accordingly, if CC1 and CC0 are set to '1' in advance, a degree of residence in a cache memory 33 can be made small, and if they are set to '0' in advance, the degree of residence can be made large. Accordingly, by combining CC1 and CC0, the degree of residence in the cache memory 33 of a data block can be controlled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-290555

⑬ Int. Cl.⁴
G 06 F 12/12

識別記号

庁内整理番号
A-8219-5B

⑭ 公開 昭和61年(1986)12月20日

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 キャッシュシステム

⑯ 特 願 昭60-133432

⑰ 出 願 昭60(1985)6月19日

⑱ 発 明 者 金 丸 孝 一 青梅市末広町2丁目9番地 株式会社東芝青梅工場内
⑲ 発 明 者 井 上 純 一 青梅市末広町2丁目9番地 東芝コンピュータエンジニアリング株式会社内
⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
㉑ 出 願 人 東芝コンピュータエンジニアリング株式会社 青梅市末広町2丁目9番地
㉒ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

キャッシュシステム

2. 特許請求の範囲

キャッシュブロックの置換アルゴリズムにLRU方式を適用するキャッシュシステムにおいて、各エントリにLRUカウンタフィールドを有するディレクトリメモリと、任意のLRU設定値が付加されたリード/ライトコマンドを発するコマンド発行手段と、このコマンド発行手段により発行されたリード/ライトコマンドに応じて上記ディレクトリメモリをサーチするディレクトリサーチ手段と、このディレクトリサーチ手段のサーチ結果に応じ上記ディレクトリメモリのヒットエントリまたは置換対象キャッシュブロックに対応するエントリのLRUカウンタフィールドに上記LRU設定値を登録する登録手段とを具備することを特徴とするキャッシュシステム。

3. 発明の詳細な説明

[発明の技術分野]

この発明は、キャッシュブロックの置換アルゴリズムにLRU方式を適用するキャッシュシステムに関する。

[発明の技術的背景]

この種キャッシュシステムでは、リード/ライト要求に対するメモリアクセスに際し、まずディレクトリメモリをサーチして目的のデータがキャッシュメモリに存在するか否かを調べる動作が行なわれる。そしてディレクトリサーチの結果キャッシュヒット或はミスヒットとなった場合、ヒットしたキャッシュブロック或は置換対象となるキャッシュブロックに対応するLRU値を固定値例えば“0”に初期化或は再登録する動作が行なわれる。そして、もしリード要求時のミスヒットであれば、該当するデータブロックがメモリから読出されると共に(キャッシュメモリ内の)置換対象キャッシュブロックに登録される。

[背景技術の問題点]

上記したように従来のキャッシュシステムでは、LRUの設定値はキャッシュメモリに登録される

データブロックに無関係に固定化されていた。しかし、キャッシュブロックに登録されるデータブロックの使用頻度は、ファイルの形態によって様々である。そこで本発明者等は、LRUの設定値が固定化されている従来のキャッシュシステムでは、使用頻度の低いデータブロックが一旦キャッシュブロックに登録されると、同データブロックのキャッシュメモリにおける常駐度が、他の使用頻度の高いファイルより大きくなってしまい、キャッシュメモリのヒット率の低下を招く恐れがあることを認識するに至った。

【発明の目的】

この発明は上記事情に鑑みてなされたものでその目的は、LRU値の初期化或は再登録に適用されるLRU設定値が可変でき、もって該当するデータブロックのキャッシュメモリ内常駐度が制御できるキャッシュシステムを提供することにある。

【発明の概要】

この発明によれば、キャッシュブロックの置換アルゴリズムにLRU方式を適用するキャッシュ

システムが適用される。上記システムには、各エントリにLRUカウンタフィールドを有するディレクトリメモリと、任意のLRU設定値が付加されたリード／ライトコマンドを発するコマンド発行手段と、ディレクトリサーチ手段と、登録手段とが設けられる。ディレクトリサーチ手段は、コマンド発行手段によりリード／ライトコマンドが発行されると、同コマンドに応じてディレクトリメモリをサーチする。登録手段は、ディレクトリサーチ手段のサーチ結果に応じ、ディレクトリメモリのヒットエントリまたは置換対象キャッシュブロックに対応するエントリのLRUカウンタフィールドに、リード／ライトコマンドに付加されているLRU設定値を登録する。

【発明の実施例】

第1図はこの発明の一実施例に係るキャッシュシステム、例えばディスクキャッシュシステムのブロック構成を示すもので、20は磁気ディスク制御装置である。磁気ディスク制御装置20は、磁気ディスク装置10を制御するハードディスクコント

ロール回路（以下HDCと称する）21を有している。HDC21はデータライン22およびコントロールライン23から成る第1のバス24、ドライバ／レシーバ（以下D/Rと称する）25を介してホストシステム11と接続されている。HDC21は第2のバス26にも接続されている。バス26には磁気ディスク制御装置20全体を制御するマイクロプロセッサ27、マイクロプロセッサ27の制御用プログラム（マイクロプログラム）を記憶するプログラムメモリ28、マイクロプロセッサ27の作業用領域を成すワークメモリ29、および磁気ディスク装置10とホストシステム11との間の転送速度の差を吸収するためのバッファメモリ30が接続されている。

31は第3のバスである。バス31はD/R（ドライバ／レシーバ）32を介して第2のバス26に接続されている。バス31にはキャッシュメモリ33の制御を含むデータ転送制御を主として行なうキャッシュコントロール回路34およびディレクトリメモリ35が接続されている。ディレクトリメモリ35の各エントリは、第2図に示すように、キャッシュ

メモリ33に登録されているデータブロック（ディスクブロック）の番号を示すディスクブロック番号フィールドと、LRU値（8ビット）を示すLRUカウンタフィールドとを含んでいる。ディレクトリメモリ35のエントリ数はキャッシュメモリ33のキャッシュブロック数に一致しており、1カラムにつき例えば16（16レベル）である。この実施例では、磁気ディスク装置10とキャッシュメモリ33とは、64セクタ（1トラック分）を1ブロックとして対応付けられる。また磁気ディスク装置10の領域（ディスク領域）は64セクタ（1ブロック）毎にカラム0とカラム1の2カラムに分割される。したがってカラム値は、ディスク論理アドレスの最下位より7番目のビットで示される。またディスクブロック番号は、ディスク論理アドレスの下位7ビットを除く残りビットで示される。

第3のバス31には、ディレクトリサーチ時にディレクトリメモリ35から読出されたLRU値が設定されるLRUカウンタ（以下、CLRと称す

る) 38の入力およびドライバ37の出力も接続されている。CLRU 36の出力およびドライバ37の入力は、キャッシュコントロール回路34に接続されている。またバス31には、レジスタファイル38の入力ポートおよび比較器39のB入力も接続されている。レジスタファイル38の出力ポートは比較器39のA入力に接続され、比較器39の出力ポートはキャッシュコントロール回路34に接続されている。キャッシュコントロール回路34は、ドライバ37によりバス31上に出力されるCLRU 36の内容(LRU値)のレジスタファイル38への入力を制御する如く、レジスタファイル38と接続されている。

ディレクトリメモリ35のアドレスポートAには同メモリ35のアドレスを指定するディレクトリメモリアドレスカウンタ(以下、CDMAと称する)40の出力が接続され、CDMA 40の入力は第2のバス26に接続されている。CDMA 40の出力はレジスタファイル41の入力ポートにも接続され、レジスタファイル41の出力ポートは第2のバス26に

接続されている。またレジスタファイル41には、キャッシュコントロール回路34による制御が可能な如く同コントロール回路34が接続されている。

次にこの発明の一実施例の動作を説明する。

ホストシステム50からのディスクアクセス要求であるリード/ライトコマンドはD/R 25、バス24を介してHDC 21に伝えられ、HDC 21内のコマンドレジスタ(図示せず)に保持される。このリード/ライトコマンドは、第3図に示すように、リード/ライト等の動作を指定するコマンドコード、論理アドレス2(MSB)、論理アドレス1および論理アドレス0(LSB)から成るディスク論理アドレス、データブロック数およびキャッシュコントロールビットCC2~CC0の各フィールドを含む8バイトの命令である。

コマンドレジスタ内のリード/ライトコマンドはマイクロプロセッサ27により読出されワークメモリ29の所定領域に格納される。マイクロプロセッサ27は、(ホストシステム40からの)リード/ライトコマンドをワークメモリ29に格納すると、

同要求に従ってシークコマンドを発行しHDC 21にセットする。これによりHDC 21は指定されたトラックをシークするように磁気ディスク装置10を制御する。またマイクロプロセッサ27は、上記リード/ライトコマンドに従い、アクセス対象となる磁気ディスク装置10の領域(ディスク領域)に対応したディスクブロック番号および値が0のLRU値を、バス26、D/R 32およびバス31経由でレジスタファイル38にセットする。またマイクロプロセッサ27はディスク論理アドレスの最下位ビットより7番目のビット(第3図に示す論理アドレス0のビット6)即ちカラム値の示すディレクトリメモリ35の領域(16個のエントリの領域)の先頭アドレスをCDMA 40にセットする。しかして以下に示すディレクトリサーチサイクルが16回繰返される。

このディレクトリサーチサイクルでは、まずCDMA 40の示す(ディレクトリメモリ)アドレスがレジスタファイル41の第1の所定位置にセットされる。そしてCDMA 40が順次カウントアップ

される。これによりCDMA 40の示すディレクトリメモリ35のエントリのディレクトリ情報がバイト単位でバス31に読出され、比較器39のB入力に供給される。また、これに同期して、レジスタファイル38の格納情報が比較器39のA入力にバイト単位で供給される。比較器39はA、B入力内容を比較する。比較器39の結果、即ちレジスタファイル38からの(ターゲットとしての)データブロック番号とディレクトリメモリ35からの(登録)データブロック番号とのバイト単位での比較結果と、レジスタファイル38からのLRU値とディレクトリメモリ35からのLRU値との比較結果とが、順にキャッシュコントロール回路34に通知される。またディレクトリメモリ35からバス31経由で比較器39のB入力に供給されるディレクトリ情報のうちのLRU値は、CLRU 38にロードされ+1される。

キャッシュコントロール回路34は、まず比較器39のデータブロック番号比較結果により、キャッシュヒットしたか否かを判定する。もしキャッシュ

ユヒットしていれば、キャッシュコントロール回路34はレジスタファイル41の第1の所定位置にセットされている(ディレクトリメモリ)アドレス(現ディレクトリサーチサイクルの該当エントリの先頭位置を示すアドレス)にキャッシュヒットを示すヒットフラグを付加して同ファイル41の第2の所定位置にセットする。次にキャッシュコントロール回路34は、比較器39のLRU値比較結果により、その時点における置換対象キャッシュブロック(に対応するディレクトリメモリ35のエントリ)を決定する。もしディレクトリメモリ35からのLRU値がレジスタファイル38からのLRU値以上であれば、キャッシュコントロール回路34は該当エントリに対応するキャッシュブロックが置換対象キャッシュブロックであるものとひとまず判断する。この場合、キャッシュコントロール回路34はレジスタファイル41の第1の所定位置にセットされている(ディレクトリメモリ)アドレスを同ファイル41の第3の所定位置にセットする。またキャッシュコントロール回路34はCLR U36

の示す(+1された)LRU値をドライバ37よりバス31上に出力せしめ、レジスタファイル38内のLRU値をバス31上のLRU値に更新する。更にキャッシュコントロール回路34は上記バス31上の(CLR U36からの)LRU値を、比較器39の比較結果に無関係にディレクトリメモリ35の対応エントリに書込む。即ち本実施例では、ディレクトリサーチサイクル毎に、ディレクトリメモリ35の対応エントリ内のLRU値が1される。

以上がディレクトリサーチサイクルであり、このサイクルが16回(16レベル分)繰返されることにより、リード/ライトコマンドに対応するディレクトリサーチが終了する。このときレジスタファイル41の第2の所定位置には、もしキャッシュヒットしていたならば、該当キャッシュブロックに対応するディレクトリメモリ35のエントリの(先頭)アドレスがセットされている。またレジスタファイル41の第3の所定位置には、指定されたカラムの中で最も大きなLRU値を有しているディレクトリメモリ35のエントリの(先頭)ア

ドレスがセットされている。

マイクロプロセッサ27では、ディレクトリサーチが終了すると、レジスタファイル41の第2の所定位置の内容をバス28経由で読み込み、キャッシュヒット或はミスヒットのいずれであったかを調べる。もしキャッシュヒットしていたならば、或はミスヒットであってもリード動作が指定されている、上記読み込んだレジスタファイル41の第2の所定位置の内容(ディレクトリアドレス)によって指定されているディレクトリメモリ35のエントリ内のLRU値を次に述べるように初期化(或は再登録)する。

即ちマイクロプロセッサ27は、LRU値を初期化(或は再登録)する場合、まずバッファメモリ30に保存しておいたホストシステム11からのリード/ライトコマンドを参照し、そのキャッシュコントロールビットCC2~CC0のCC2が"0"であるか否かを判断する。本実施例ではCC2="0"の場合、CC1, CC0がLRU設定用データとして定義されている。マイクロプロセッサ

27は、CC2="0"の場合、CC1, CC0を8ビット左シフトして第4図に示すようにLRU設定値CC1(MSB), CC0, 0, 0, 0, 0, 0, 0(LSB)を作成し、同LRU設定値をバス28、D/R32およびバス31経由でディレクトリメモリ35へ供給し、同メモリ35の前記したエントリのLRUカウンタフィールドに登録する。次のディレクトリサーチ(におけるLRU値比較並びにCLR U38へのセット)には、この新たに登録されたLRU設定値が用いられる。したがって、CC1, CC0を"1"に設定しておけば該当データブロックのキャッシュメモリ33内常駐度を大きくでき、"0"に設定しておけば同常駐度を小さくできる。即ちCC1, CC0の組合わせによりデータブロックのキャッシュメモリ33内常駐度が制御できる。

なお、キャッシュヒット或はミスヒット時におけるリード/ライトコマンドに対応したキャッシュメモリ33更には磁気ディスク装置10に対するアクセス動作については、本発明の要旨に直接関係

しないため説明を省略する。

以上は磁気ディスクの写しをキャッシュメモリにもつディスクキャッシュシステムについて説明したが、本発明は主記憶の写しをキャッシュメモリにもつキャッシュシステムにも適用できる。

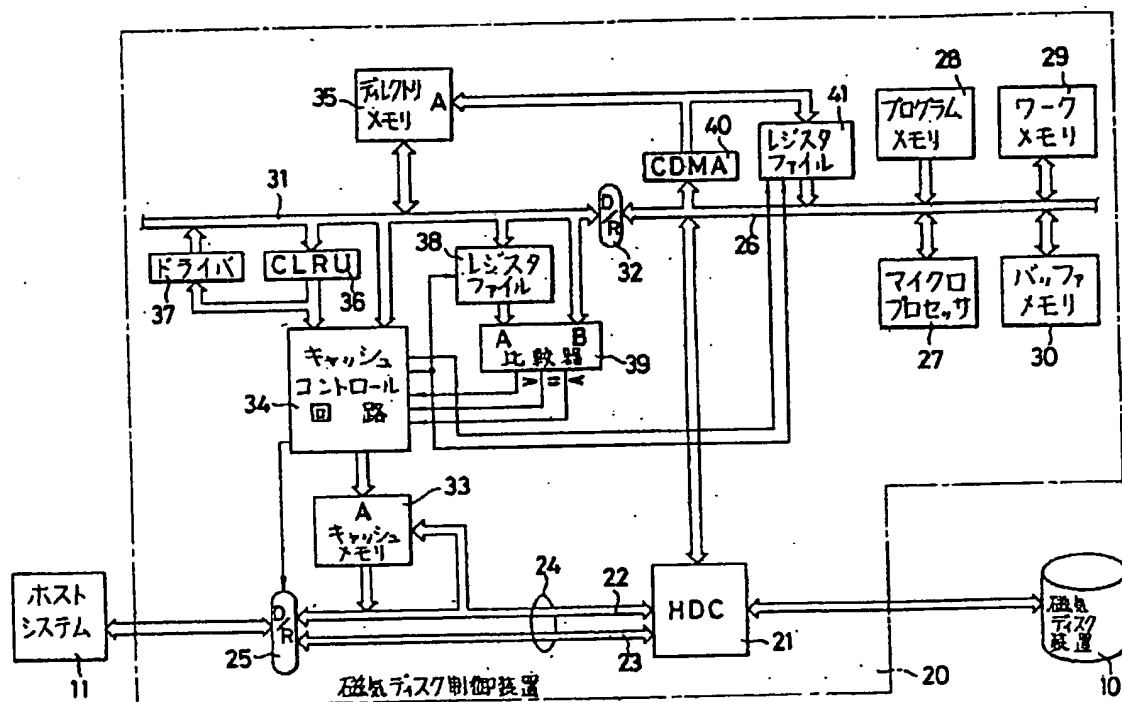
〔発明の効果〕

以上詳述したようにこの発明によれば、キャッシュヒット時或はミスヒット時にディレクトリメモリの該当エントリ内のLRU値を任意のLRU設定値に初期化或は再登録できるので、該当するデータブロックのキャッシュメモリ内常駐度を制御でき、キャッシュヒット率の向上が図れる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係るディスクキャッシュシステムのブロック構成図、第2図は第1図に示すディレクトリメモリ35のエントリ構成を示す図、第3図は第1図のシステムで適用されるリード/ライトコマンドのフォーマットを示す図、第4図はLRU設定値のフォーマットを示す図である。

10…磁気ディスク装置、11…ホストシステム、
20…磁気ディスク制御装置、27…マイクロプロセ
ッサ、33…キャッシュメモリ、34…キャッシュコ
ントロール回路、35…ディレクトリメモリ、36…
LRUカウンタ（CLR U）、39…比較器。



第 1 圖

手続補正書

昭和 61.5.31 年 月 日

特許庁長官 宇 賀 道 郎 殿

7	6	5	4	3	2	1	0
ディスクブロック番号フィールド							
LRU カウンタフィールド							

第 2 図

		7	6	5	4	3	2	1	0	
ビット	0					コマンドコード				
	1					論理アドレス 2				
	2	論理アドレス 1								
	3	論理アドレス 0								
	4	データブロック数								
	5								CC2 CC1 CC0	

第 3 図

7	6	5	4	3	2	1	0
CC1	CC0	0	0	0	0	0	0

第 4 図

1. 事件の表示

特願昭60-133432号

2. 発明の名称

キャッシュシステム

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

(ほか1名)

4. 代理人

東京都港区虎ノ門1丁目26番5号 第17森ビル

〒105 電話 03(502)3181(大代表)

(5847) 弁護士 鈴 江 武 彦

5. 自発補正

6. 補正の対象

明細書

7. 補正の内容

(1) 明細書の第12頁第9行目に「LRU値が1される。」とあるを「LRU値が+1される。」と訂正する。

(2) 明細書の第13頁第6行目乃至同頁第12行目に「もし…する。」とあるを「もしキャッシュヒットしていたならば、上記該当したレジスタファイル41の第2の所定位置の内容(ディレクトリアドレス)によって指定されているディレクトリメモリ35のエントリ内のLRU値を、或はミスヒットであってもリード動作が指定されていれば、レジスタファイル41の第3の所定位置の内容によって指定されているディレクトリメモリ35のエントリ内のLRU値を、初期化(或は再登録)する。」と訂正する。

(3) 明細書の第14頁第13行目に「大きくでき、」とあるを「小さくでき、」と訂正する。

(4) 明細書の第14頁第14行目に「小さくできる。」とあるを「大きくできる。」と訂正する。